

(11)特許出願公開番号

特開2001-307479

(P2001-307479A)

(43)公開日 平成13年11月2日(2001.11.2)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

G 1 1 C 11/401

G 1 1 C 11/34

3 5 2 E 5 B 0 2 4

審査請求 未請求 請求項の数13 O.L (全 12 頁)

(21)出願番号 特願2000-122307(P2000-122307)

(22)出願日 平成12年4月24日(2000.4.24)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 伊藤 洋

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74) 代理人 100092820

弁理士 伊丹 勝

Fターム(参考) 5B024 AA15 BA01 BA05 BA07 BA13

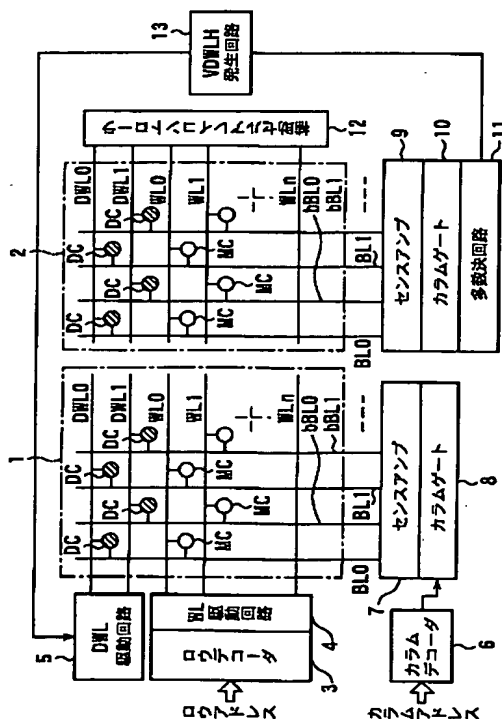
CA07

(54)【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 容量結合型のダミーセルを用いて適切なビット線の参照電位を設定することを可能としたDRAMを提供する。

【解決手段】 メモリセルアレイ 1 は、容量結合型のダミーセルを用い、ビット線対 BL、bBL は内部電源 VBLH にプリチャージされる。このメモリセルアレイ 1 に対して、参照電位調整に用いられる補助セルアレイ 2 が設けられる。補助セルアレイ 2 において、メモリセルに $1/2 VBLH$ の書き込みと読み出しを行い、多数決回路 11 により補助センスアンプ回路 9 のセンス出力の多数決をとって、その結果に応じて VDWLH 発生回路 13 によりダミーワード線駆動回路 5 に供給される高レベル電位 VDWLH を発生させる。



【特許請求の範囲】

【請求項1】 複数本のワード線とこれと交差する複数対のビット線を有し、ワード線とビット線対の各交差部にダイナミック型メモリセルがマトリクス配列され且つ、各ビット線対に少なくとも一つずつ接続されてダミーワード線により駆動されてビット線対の一方に参照電位を発生させるための容量結合型のダミーセルが設けられたメモリセルアレイと、

前記ビット線対の電位差を検知増幅するセンスアンプ回路と、

前記ビット線対を、前記メモリセルアレイに供給される内部電源により決まるビット線振幅の高電位又は低電位にプリチャージするプリチャージ回路と、

前記ダミーワード線を駆動することにより選択された前記ダミーセルを介してビット線対の一方に参照電位を発生させるためのダミーワード線駆動回路と、

このダミーワード線駆動回路が出力する駆動信号レベルを制御することにより前記ビット線対の一方に与えられる参照電位を調整する参照電位調整回路とを有することを特徴とする半導体集積回路装置。

【請求項2】 前記参照電位調整回路は、所定のメモリセルにビット線振幅の高電位と低電位の間電位を書き込み、この中間電位をビット線に読み出したときに得られる電位と等しくなるように、前記ダミーワード線駆動回路が出力する駆動信号レベルを制御するものであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記参照電位調整回路は、参照電位調整のために前記メモリセルアレイとは独立に設けられて独立にアクセスされる補助セルアレイと、この補助セルアレイのビット線対の電位差を検知増幅する補助センスアンプ回路と、前記補助セルアレイの所定のメモリセルにビット線振幅の高電位と低電位の間電位を書き込みこれを読み出したときの前記補助センスアンプ回路に得られるセンス出力に応じて、前記ダミーワード線駆動回路が出力すべき駆動信号レベルを発生するダミーワード線駆動信号レベル発生回路とを有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記補助セルアレイのビット線対に選択ゲートを介して接続される信号線対が設けられ且つ、この信号線対に、ビット線対を内部電源電位の1/2の中間電位にプリチャージするイコライズ回路が設けられていることを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】 前記補助セルアレイは複数対のビット線分設けられ、これに対応して前記補助センスアンプ回路が複数個設けられ且つ、これら複数個の補助センスアンプ回路のセンス出力の多数決をとる多数決回路が設けられていることを特徴とする請求項3記載の半導体集積回路装置。

【請求項6】 前記参照電位調整回路は、

参照電位調整のために前記メモリセルアレイ内にビット線対を共有して増設された、ワード線と平行する予備ワード線とこれにより選択されるメモリセルを有する予備セルアレイと、

この予備セルアレイの所定のメモリセルにビット線振幅の高電位と低電位の間電位を書き込みこれを読み出したときの前記センスアンプ回路に得られるセンス出力に応じて、前記ダミーワード線駆動回路が出力すべき駆動信号レベルを発生するダミーワード線駆動信号レベル発生回路とを有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項7】 前記予備セルアレイは、2本の予備ワード線分設けられていることを特徴とする請求項6記載の半導体集積回路装置。

【請求項8】 前記メモリセルアレイのビット線対に選択ゲートを介して接続される信号線対が設けられ且つ、この信号線対に、ビット線対を内部電源電位の1/2の中間電位にプリチャージするイコライズ回路が設けられていることを特徴とする請求項6記載の半導体集積回路装置。

【請求項9】 前記予備セルアレイの所定のメモリセルにビット線振幅の高電位と低電位の間電位を書き込みこれを読み出したときに、前記メモリセルアレイの各ビット線対に設けられたセンスアンプ回路に得られるセンス出力の多数決をとる多数決回路が設けられていることを特徴とする請求項6記載の半導体集積回路装置。

【請求項10】 前記メモリセルアレイのビット線対とセンスアンプ回路の各センスノードとの間にそれらの間の導通、非導通を制御する一組のスイッチ素子が設けられ且つ、前記ダミーセルが前記スイッチ素子よりセンスアンプ回路側に配置されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項11】 前記一組のスイッチ素子がオンの状態でビット線対のプリチャージが行われ、ビット線対のプリチャージを解除した後選択されたワード線の駆動によりメモリセルデータのビット線対の一方への読み出しが行われ、その後スイッチ素子をオフにして、選択されたダミーワード線のプリチャージ解除によりビット線対の他方に対するダミーセルによる参照電位のカップリングがなされることを特徴とする請求項10記載の半導体集積回路装置。

【請求項12】 前記一組のスイッチ素子は別々の制御信号線により駆動されるものとし、読み出しデータの再書き込み時、ビット線対のデータ読み出し側のスイッチ素子をオン、参照側のスイッチ素子をオフに保つように制御されることを特徴とする請求項10記載の半導体集積回路装置。

【請求項13】 前記プリチャージ回路は、ビット線対を内部電源電位にプリチャージするものであり、前記ダ

ミーワード線駆動回路は、ダミーワード線を高レベル電位にプリチャージし、このプリチャージを解除することによりダミーセルを介してプリチャージされたビット線対の参照側の電位を引き下げて参照電位を発生させるものであることを特徴とする請求項1記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路装置に係り、特に低電圧動作と高速動作が要求されるダイナミック型半導体記憶装置(DRAM)に関する。

【0002】

【従来の技術】これまで半導体集積回路は、素子の微細化によって高集積化と高速化が図られてきた。特に半導体メモリは、メモリセルアレイの規則性という特性を活かして微細化と高集積化が進んでいる。中でも、1個のトランジスタと1個のキャパシタからなるダイナミック型メモリセルを用いたDRAMは、大容量化の先端を走っている。

【0003】DRAMの場合、メモリセル自身には増幅作用がないため、高感度のセンスアンプを必要とする。通常はフリップフロップ型のセンスアンプが用いられる。データ読み出し前、ビット線対はある電位にプリチャージされる。そして、ビット線対のプリチャージを解除してフローティング状態とした後、ワード線を活性化してメモリセルをアクセスする。これにより、選択メモリセルのトランジスタがオンしてセルキャパシタがビット線に接続される。センスアンプは、このセルキャパシタのビット線への接続によるビット線電位の変化を、参照ビット線の参照電位との比較によって検知増幅する。

【0004】データセンス前のビット線のプリチャージ電位は、DRAMの歴史の初期においては、電源電圧VDDであった。これは、DRAM回路がNMOSTランジスタのみにより構成されていたためである。このVDDプリチャージ方式では、参照電位を作るためにダミーセルが必要である。ダミーセルの方式には、通常のメモリセルと同じ容量のダミーセルを用いて $1/2VDD$ を書き込む方式と、通常のメモリセルの $1/2$ の容量のダミーセルを用いてビット線の低レベル電位GND(=VSS)を書き込む方式とがある。これにより、ダミーセルを参照ビット線に接続したときに、参照ビット線にはメモリセルデータが“0”、“1”のときのビット線電位の中間の参照電位を得ることができる。

【0005】CMOS技術が開発されて、これがDRAMにも用いられるようになると、 $1/2VDD$ プリチャージ方式のDRAMが現れる。高速性や低消費電力性から、このCMOS技術を用いた $1/2VDD$ プリチャージ方式が現在もDRAMの主流となっている。この方式では、原理的にダミーセルは必要がない。しかし、ワード線とビット線間のカップリングノイズやビット線の容

量の平衡化等の目的でダミーセルが用いられる場合も少なくない。

【0006】以上のようなDRAMは微細化と高集積化は、MOSTランジスタのスケーリング則に従ってなされてきた。しかし電源電圧やMOSTランジスタのしきい値電圧は、外部との接続のコンパチビリティやリーク電流の抑制の必要性からデバイス寸法と同様にはスケーリングされていない。しかし電源電圧がスケーリングされていないため、微細化が進むにつれてMOSTランジスタにかかる電界は大きくなり、従って信頼性の観点から電源電圧を下げざるを得なくなっている。

【0007】一方、MOSTランジスタのしきい値電圧については、メモリセルのリークをリフレッシュサイクルで規定される値以下に抑えなければならない関係で、スケーリング則に従って下げることはできない。そこで、メモリセルトランジスタのしきい値電圧分、“1”データとして書き込まれる電圧が低下するのを防止するため、ワード線を電源電圧より昇圧された電圧で駆動することが行われる。しかし、ワード線を駆動する昇圧電源も信頼性の観点から制限されると、セルトランジスタのしきい値電圧を下げることができないことから、セルに書き込まれる“1”データのレベルを電源電圧VDDに保つことが困難になる。即ち、 $1/2VDD$ を参照電位とする $1/2VDD$ プリチャージ方式では、“1”データが書き込み不足になる。

【0008】そのため現在では、メモリセルアレイ部に外部電源VDDより低い内部電源VBLHを用意し、この内部電源電位VBLHをメモリセルに書き込まれる“1”データのレベルと同程度にすることが行われている。この場合、ビット線プリチャージ方式としては、ビット線イコライズにより参照電位 $1/2VBLH$ を得ることができる $1/2VBLH$ プリチャージ方式となる。

【0009】一方、DRAMの消費電力のなかでは、ビット線の充放電が最も大きな割合を占める。従ってDRAMの低消費電力化には、内部電源VBLHを下げ、ビット線振幅を小さくすることが非常に有効である。近年の携帯用電子情報機器等のシステム側の要請からも、内部電源VBLHの低電圧化は望まれている。この様に、メモリセルアレイ部の低電圧化は、周辺回路以上に進ん

【0010】

【発明が解決しようとする課題】DRAMの微細化が進行し、内部電源VBLHの低下に伴ってプリチャージ電位 $1/2VBLH$ の値がセンスアンプを構成するトランジスタのしきい値電圧近傍にまで低下すると、 $1/2VBLH$ プリチャージ方式のセンスアンプではその動作速度が著しく低下するという問題が生じる。この問題に対して、 $1/2VBLH$ プリチャージ方式を堅持しつつ、動作速度を確保し改善しようとする試みはいくつかなされて

5

【0011】例えば、①PMOSセンスアンプをVBLHより高い電圧で駆動するか、或いはNMOSセンスアンプをGNDより低い負電圧で駆動するセンスアンプオーバードライブ方式、②センスアンプの共通ソースノードをセンスアンプが作られているウェルを接続することにより、バックゲートバイアス効果をなくし、センスアンプの動作時のしきい値電圧を下げるウェルシンクロナイズドセンス方式、等がある。低電圧下でセンスアンプの高速性を確保するためには、これらの方式を単独で或いは組み合わせて用いることが必要になる。もう一つの解決方法としては、③1/2VBLHプリチャージ方式に代わって、VBLHプリチャージ方式を採用することが考えられる。

【0012】VBLHプリチャージ方式は、VDDプリチャージ方式と同様に、ダミーセルを必要とするが、この場合微細化が進んでいる現在では、以下のような問題がある。メモリセルには、微細な占有面積で大きな容量を得るために、トレンチ構造やスタック構造といった三次元構造が用いられる。このため、通常のメモリセルの半分の容量のダミーセルを作るとは難しく、通常のメモリセルと同じ構造、容量のダミーセルを作って、これに1/2VBLHを書き込む方式が採用される。1/2VBLHを書き込むには、ビット線対を1/2VBLHにプリチャージし、ダミーワード線を活性化することになる。しかしこの方法では、センスの時間が短くなっても、1/2VBLHを作るためのビット線イコライズに余分な時間を必要とし、高速サイクルでの動作を難しくする。

【0013】また参照電位を作る方法として、結合容量型のダミーセルを用いる方式もある。これは、ダミーセルとして、ダミーワード線とビット線の間に接続されるキャパシタを用いるものである。キャパシタとしては例えば、MOSキャパシタが用いられる。この方式では、ビット線がプリチャージされている間、ダミーワード線も所定の駆動電圧にプリチャージしておき、ビット線がフローティングになった後、参照ビット線側のダミーワード線の電位を落とすことにより、容量カップリングで参照ビット線に参照電位を発生させる。このとき参照電位は、ダミーセルを構成するMOSキャパシタの寸法により設定することができる。この方式を用いれば、ビット線対を1/2VBLHにプリチャージするための余分な時間を必要としない。

【0014】しかし、容量結合型のダミーセルで参照電位を適切に設定することは、設計の段階では難しく、デバイスの評価結果をフィードバックしながら決定することが必要になる。しかも、その様な評価の結果参照電位を設定したとしても、プロセスの変動といったチップ毎の変動の影響を受ける。更には実際に使用される環境の違いや、動作中のチップ内部の温度変化といったダイナミックな要因により、参照電位が常に最適値にあるとは

6

言えず、大きなマージンが必要となる。しかし、微細化によるセル容量の低減、ビット線間容量の増大等により実効的なセル容量の低減が進む中では、参照電位の設定に大きなマージンの設定は許容されない。

【0015】ここまでは、VBLHプリチャージ方式を前提に説明したが、ビット線を接地電位GND（一般には、ビット線振幅の低電位）にプリチャージし、PMOSトランジスタで構成したセンスアンプでビット線データセンスを行うGNDプリチャージ方式もある。前述したVBLHプリチャージ方式での参照電位設定の問題は、このGNDプリチャージ方式の場合も同様に存在する。

【0016】この発明は、上記事情を考慮してなされたもので、容量結合型のダミーセルを用いて適切なビット線の参照電位を設定することを可能としたDRAMを有する半導体集積回路装置を提供することを目的としている。

【0017】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、複数本のワード線とこれと交差する複数対のビット線を有し、ワード線とビット線対の各交差部にダイナミック型メモリセルがマトリクス配列され且つ、各ビット線対に少なくとも一つずつ接続されてダミーワード線により駆動されてビット線対の一方に参照電位を発生させるための容量結合型のダミーセルが設けられたメモリセルアレイと、前記ビット線対の電位差を検知増幅するセンスアンプ回路と、前記ビット線対を、前記メモリセルアレイに供給される内部電源により決まるビット線振幅の高電位又は低電位にプリチャージするプリチャージ回路と、前記ダミーワード線を駆動することにより選択された前記ダミーセルを介してビット線対の一方に参照電位を発生させるためのダミーワード線駆動回路と、このダミーワード線駆動回路が出力する駆動信号レベルを制御することにより前記ビット線対の一方に与えられる参照電位を調整する参照電位調整回路とを有することを特徴とする。

【0018】この発明によると、参照電位調整回路を設けることにより、結合容量型のダミーセルを用いたDRAMでの参照電位を最適設定することができる。具体的に参照電位調整回路は例えば、所定のメモリセルにビット線振幅の高電位と低電位の間電位を書き込み、この中間電位をビット線に読み出したときに得られる電位と等しくなるように、前記ダミーワード線駆動回路が出力する駆動信号レベルを制御するものである。これにより、容量結合型のダミーセルを用いた発生させる参照電位を、従来型のダミーセルで発生させる参照電位と同じにすることができる。

【0019】この発明において、参照電位調整回路は例えば、参照電位調整のために前記メモリセルアレイとは独立に設けられて独立にアクセスされる補助セルアレイ

と、この補助セルアレイのビット線対の電位差を検知増幅する補助センスアンプ回路と、前記補助セルアレイの所定のメモリセルにビット線振幅の高電位と低電位の中間電位を書き込みこれを読み出したときの前記補助センスアンプ回路に得られるセンス出力に応じて、前記ダミーワード線駆動回路が出力すべき駆動信号レベルを発生するダミーワード線駆動信号レベル発生回路とを備えて構成される。この場合好ましくは、補助セルアレイのビット線対に選択ゲートを介して接続される信号線対が設けられ且つ、この信号線対に、ビット線対を内部電源電位の $1/2$ の中間電位にプリチャージするイコライズ回路が設けられるものとする。更に好ましくは、前記補助セルアレイは複数対のビット線分設けられ、これに対応して前記補助センスアンプ回路が複数個設けられ且つ、これら複数個の補助センスアンプ回路のセンス出力の多数決をとる多数決回路が設けられる。

【0020】この発明において、参照電位調整回路はまた、参照電位調整のために前記メモリセルアレイ内にビット線対を共有して増設された、ワード線と平行する予備ワード線とこれにより選択されるメモリセルを有する予備セルアレイと、この予備セルアレイの所定のメモリセルにビット線振幅の高電位と低電位の中間電位を書き込みこれを読み出したときの前記センスアンプ回路に得られるセンス出力に応じて、前記ダミーワード線駆動回路が出力すべき駆動信号レベルを発生するダミーワード線駆動信号レベル発生回路とを備えて構成される。これにより、参照電位調整ための専用の補助セルアレイを設けることなく、参照電位調整が可能になる。この場合、増設される予備セルアレイは、好ましくは2本の予備ワード線分設けられる。

【0021】この発明において、好ましくは、メモリセルアレイのビット線対とセンスアンプ回路の各センスノードとの間にそれらの間の導通、非導通を制御する一組のスイッチ素子が設けられ且つ、ダミーセルがこのスイッチ素子よりセンスアンプ回路側に配置されるようにする。この様な構成とすれば、ビット線をセンスアンプ回路から切り離れた状態で、ダミーセルによる参照電位のカップリングを行わせることができ、ダミーセルの面積を小さいものとすることができる。

【0022】この発明は、メモリセルアレイに外部電源電位 V_{DD} より低い内部電源電位 V_{BLH} を用いるDRAMに有効であるが、その場合、ビット線プリチャージ方式としては、内部電源の高電位 V_{BLH} にプリチャージする方式の他、低電位 GND にプリチャージする方式を用いる場合も有効である。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1は、この発明の実施の形態1によるDRAMの要部構成を示す。メモリセルアレイ1は、

複数本のワード線 WL と複数対のビット線 BL 、 bBL が交差して配列され、その各交差部のメモリセル MC が配置されて構成される。メモリセル MC は、図2に示すように、一つのNMOSトランジスタと一つのキャパシタにより構成される。メモリセルアレイ1には、各ビット線対 BL 、 bBL には、ワード線 WL と平行に配設されたダミーワード線 $DWL0$ 、 $DWL1$ によりそれぞれ駆動されるダミーセル DC が一つずつ設けられている。このダミーセル DC は結合容量型であり、図2に示すように、一端がダミーワード線 $DWL0$ 、 $DWL1$ に接続され、他端がビット線 BL 、 bBL に接続されたキャパシタ $C0$ 、 $C1$ により構成される。キャパシタ $C0$ 、 $C1$ はMOS型キャパシタである。

【0024】メモリセルアレイ1のワード線 WL は、ロウデコーダ3により選択され、ワード線駆動回路4により駆動される。ダミーワード線 $DWL0$ 、 $DWL1$ はダミーワード線駆動回路5により駆動される。メモリセルアレイ1のビット線対 BL 、 bBL はビット線センスアンプ回路7に接続されている。ビット線選択は、カラムデコーダ6及びこれにより駆動されるカラムゲート8により行われる。

【0025】センスアンプ回路7は、図2に示すように、NMOSトランジスタ $QN1$ 、 $QN2$ によりフリップフロップを構成したNMOSセンスアンプ $SA1$ と、PMOSトランジスタ $QP1$ 、 $QP2$ によりフリップフロップを構成したPMOSセンスアンプ $SA2$ とから構成されている。NMOSセンスアンプ $SA1$ の共通ソースには、活性化信号 SAN が入る。PMOSセンスアンプ $SA2$ の共通ソースには、外部電源より低い内部電源 V_{BLH} が与えられている。即ちセンスアンプ回路7を含めてメモリセルアレイ1の部分は、内部電源電位 V_{BLH} により動作する。

【0026】図2に示すように、ビット線対 BL 、 bBL には、これを内部電源電位 V_{BLH} にプリチャージするためのビット線プリチャージ回路21が設けられている。プリチャージ回路21はこの例では、プリチャージ制御信号 PRC により駆動されてビット線対 BL 、 bBL に V_{BLH} を与えるPMOSトランジスタ $QP3$ 、 $QP4$ により構成されている。

【0027】この実施の形態では、ビット線の参照電位を調整するために用いられる、メモリセルアレイ1とは独立にアクセスされる補助セルアレイ2が設けられている。この補助セルアレイ2は、ビット線方向の長さがメモリセルアレイ1と同じであり、図3に示すように、基本的にメモリセルアレイ1と同様のダイナミック型メモリセル MC と、各ビット線の一つずつの結合容量型のダミーセル DC を有する。この補助セルアレイ2は、所定のメモリセルにビット線対のイコライズによって、内部電源電位の中間電位である $1/2 V_{BLH}$ を書き込み、これを読み出して基準となる参照電位を発生させるため

に用いられる。具体的にこの実施の形態の場合は、参照電位を多数決により決定するために、補助セルアレイ1として3対以上のビット線が設けられる。

【0028】補助セルアレイ2にもメモリセルアレイ1と同様に、補助センスアンプ回路9及びカラムゲート10が設けられている。図2に示すメモリセルアレイ1の単位構成と、図3に示す補助セルアレイ2の単位構成の相違点は、補助セルアレイ2には、ビット線イコライズ回路22が設けられていることである。このビット線イコライズ回路22は、カラムゲート7を構成するNMOストランジスタQN3、QN4を介してビット線対B_L、bB_Lに接続される信号線対DQ、bDQに設けられている。イコライズ回路22は、制御信号線EQLにより駆動されて、信号線線DQ、bDQにプリチャージ電位VBLEQL (= 1/2 VBLH) を与えるNMOストランジスタQN5、QN6と、信号線DQ、bDQ間を短絡するNMOSトランジスタQN7を有する。

【0029】このイコライズ回路22は、予めビット線プリチャージ回路21によりVBLHにプリチャージされているビット線対B_L、bB_Lを、プリチャージを解除した後に、1/2 VBLHBに再度プリチャージする働きをする。これは後述のように、参照電位調整のために必要な中間電位1/2 VBLHをメモリセルに書き込むためである。これは、プリチャージ回路21のプリチャージを解除した後に、カラムゲート10をオンとし、イコライズ制御信号線EQLを“H”にすることにより行われる。

【0030】補助セルアレイ2のワード線WLおよびダミーワード線DWLは、適当なアドレス入力によって、補助セルアレイコントローラ12により選択される。補助セルアレイ2では、後に説明するように、データ書き込みと読み出しにより基準となる参照電位を生成する動作が行われる。その結果は補助センスアンプ回路9により検出される。そしてその結果の多数決をとる多数決回路11が設けられ、多数決の結果に応じて、ダミーワード線DWLを駆動するプリチャージ電位を決定するためのダミーワード線駆動信号レベル(VDWLH)発生回路13が設けられている。

【0031】なお、補助セルアレイ2側に設けられたカラムゲート10はこの実施の形態の場合、メモリセルアレイ1側のカラムゲート8とは機能が異なる。図3に示したように、補助セルアレイ2側には、カラムゲート10の外側にビット線イコライズ回路22を設けており、カラムゲート7は、ビット線イコライズとその解除のために、補助セルアレイ2の全ビット線対の同時選択、非選択を行うために用いられる。但し、カラムゲート10がメモリセルアレイ8側と同様に1カラムずつ順にビット線対の選択を行うものとしてもよい。

【0032】図4は、この実施の形態での読み出し動作波形を示している。PRVC = “L” (= V_{ss}) のブ

リチャージ期間、ビット線対B_L、bB_Lは、ビット線振幅の高電位即ち、内部電源電位VBLHにプリチャージされている。その間、ワード線WLは“L”であり、ダミーワード線DWLはダミーワード線駆動回路5により、VDWLHにプリチャージされている。時刻t0でプリチャージが解除され、その後時刻t1で選択されたワード線、例えばWL1が“H”になる。同時に、選択されたダミーワード線DWL1はプリチャージが解除される。

10 【0033】これにより、選択されたワード線WL1により駆動されるメモリセルMCのデータがビット線対B_L、bB_Lの一方のビット線B_Lに読み出され、他方のビット線bB_Lには、ダミーセルDCのカップリングにより、参照電位が与えられる。選択されたメモリセルMCでは、ビット線B_Lとの電荷の共有により、データ“1”、“0”に応じて、ビット線B_Lの電位変化を生じる。電荷の共有のみであれば、データ“1”の場合、ビット線B_Lはプリチャージ電位VBLHを保持するが、実際にはワード線WL1とのカップリングノイズ等によりビット線B_Lの電位は変化する。図4では、ビット線B_Lが僅かにプリチャージ電位より高くなる場合を示している。ビット線bB_Lについては、ビット線B_Lに“1”が読み出された場合と“0”が読み出された場合の中間の参照電位となる。従ってこの後時刻t2でセンスアンプ回路7を活性化すれば、参照電位との電位差がセンスアンプ回路の感度より大きい場合には、“1”、“0”データが増幅され、“1”データの場合、B_L = VBLH、bB_L = V_{ss}となり、“0”データの場合は破線で示すように、B_L = V_{ss}、bB_L = VBLHとなる。

30 【0034】次にこの実施の形態における参照電位設定の手法を説明する。図5は、参照電位調整動作での補助セルアレイ2の動作波形を示している。時刻t0までのプリチャージ期間、プリチャージ信号PRCが“L”であり、補助セルアレイ2のビット線対B_L、bB_Lは、VBLHにプリチャージされている。この間、ワード線WLは“L”であり、ダミーワード線DWLはVDWLHにプリチャージされている。

40 【0035】時刻t0でビット線プリチャージが解除され、同時にイコライズ信号EQLが“H”となり、選択されたワード線WLが“H”となる。図では省略したが、カラムゲート10も同時に全選択状態になる。これにより、ビット線対B_L、bB_Lは、イコライズ回路22によって1/2 VBLHにプリチャージ/イコライズされる。この電位はワード線WLにより選択されたメモリセルMCに書き込まれる。

50 【0036】時刻t1で、イコライズ動作とそのイコライズ電位のメモリセルへの書き込み動作を終了する。そして、再度プリチャージ信号PRC = “L”により、ビット線対B_L、bB_LをVBLHにプリチャージする。

次いで、時刻 t_2 で、プリチャージ動作を解除し、僅かに遅れて同じワード線WLを選択して、 $1/2V_{BLH}$ が書き込まれたメモセルMCのデータをビット線BLに読み出す。これが、ビット線イコライズにより作られた $1/2V_{BLH}$ に基づく基準参照電位 V_{ref} となる。同時に、ダミーワード線DWLをプリチャージ電位 V_{DWLH} から引き下げることに、他方のビット線bBLにはダミーワード線DWLのプリチャージ電位 V_{DWLH} とダミーセルDCのカップリングにより決まる参照電位 V_{refd} が与えられる。

【0037】こうしてビット線対BL, bBLに読み出される電位 V_{ref} , V_{refd} を比較することにより、参照電位の調整が可能である。参照電位の調整は、原理的に、容量結合型のダミーセルDCにより作られる参照電位 V_{refd} が基準参照電位 V_{ref} より高い場合には、ダミーワード線DWLを駆動する高レベル電位 V_{DWLH} を引き上げ、参照電位 V_{refd} が基準参照電位 V_{ref} より低い場合には、ダミーワード線DWLを駆動する高レベル電位 V_{DWLH} を引き下げることににより行われる。

【0038】具体的にこの実施の形態では、ビット線対BL, bBLに得られる上述した参照電位 V_{ref} , V_{refd} の差をセンスアンプ回路9により検知増幅する。即ち、 V_{refd} が V_{ref} より高ければ、ビット線BLは V_{ss} に、ビット線bBLは V_{BLH} に増幅され、 V_{refd} が V_{ref} より低ければ、ビット線BLは V_{BLH} に、ビット線bBLは V_{ss} に増幅される。

【0039】ここまでの動作は、補助セルアレイ2の全ビット線対について同時に行われる。そして、カラムゲート10をオンにして、補助センスアンプ回路9の全センス結果が（或いは一部のセンス結果が）データ線DQ, bDQを介して多数決回路11に送られて多数決が採られる。多数決回路11は、入力信号のうち“0”が多ければ“0”を出力し、“1”が多ければ“1”を出力する回路である。もし、入力信号数が偶数個で“0”, “1”が同数の場合を別に扱うようにするためには、出力を2ビットとし、例えば“01”：“0”, “10”：“1”, “00”：同数というように定めればよい。

【0040】図6～図8は、多数決回路11の例を示している。これらの多数決回路で、A, B, C, Dはデータ線DQに、 $\neg A$, $\neg B$, $\neg C$, $\neg D$ はデータ線bDQに接続される端子である。図6は、スタティックな組み合わせ回路による3入力多数決回路であり、3入力A, B, Cの二つのANDが“1”であれば、“1”を出力するようになっている。

【0041】図7は、ダイナミックな組み合わせ回路による4入力多数決回路であり、プリチャージ期間と多数決判定の期間が交互に来る。プリチャージ信号PRCが“L”であるプリチャージ期間は、二つの出力OUT

1, OUT2は共に“0”であり、“00”データ状態になる。プリチャージ信号PRCが“H”である判定期間では、入力“0”, “1”の数の大小に応じて、“01”又は“10”になる。入力“0”, “1”が同数であれば、“00”を保持する。

【0042】図8は、オペアンプOPを用いたコンパレータ構成による3入力多数決回路である。センス前はデータ線DQ, bDQを V_{BLH} にプリチャージしておき、プリチャージを解除して、センス結果を転送すると、A, B, Cの“1”の数が多い場合、オペアンプOPの反転入力ノードの方が非反転入力ノードより高くなり、オペアンプOPは“0”を出力し、“0”の方が多ければ“1”を出力する。この回路は、アナログ電位を比較しているので、入力数が偶数の場合で且つ“0”, “1”が同数の場合にも、使用素子のばらつきによって、“0”, “1”のいずれかを出力することになるから、“0”, “1”が同数の場合を扱うことはできない。

【0043】多数決回路11の出力が“0”であれば、 V_{refd} が V_{ref} より高いので、ダミーワード線DWLのプリチャージ電位 V_{DWLH} のレベルを上げ、“0”であれば、 V_{refd} が V_{ref} より低いので、ダミーワード線DWLの駆動電位 V_{DWLH} のレベルを下げるという制御を行う。このような制御により、ワード線とのカップリングノイズやセンスアンプのトランジスタのしきい値電圧のばらつきの影響を平均化して、補正された参照電位を発生させることが可能になる。

【0044】図9は、具体的にこの様な制御を行うVDWLH発生回路13の構成例である。レジスタ91は、調整されたVDWLH値を保持する保持回路である。このレジスタ91の値が、ディジタル／アナログ変換器92を介し、バッファ93を介して出力される。前述した多数決回路11での判定結果によりレジスタ91の値を調整するために、アップカウンタ94、ダウンカウンタ95及びセレクト96が設けられている。アップカウンタ94、ダウンカウンタ95には、前回調整されたレジスタ91の値をそれぞれ1だけアップし、1だけダウンしたディジタル信号が作られているものとする。

【0045】多数決回路11の判定結果の“1”, “0”は、セレクト96に選択信号（アップダウン信号updown）として入る。これにより、アップカウンタ94又はダウンカウンタ95により調整された値が選択され、これがレジスタ91に入力される。レジスタ91にはまた、多数決判定終了の信号が更新信号updateとして入る。以上により、多数決判定の結果に応じてレジスタ91が更新され、その更新された値がアナログ値に変換されて、新しいVDWLH値として出力される。

【0046】多数決回路11の出力が1ビットの場合、これをそのままアップダウン信号updownと

し、またその出力遷移を更新信号updateとすればよい。多数決回路11の出力が2ビットの場合には、その出力out1, out2について図10に示す組み合わせ回路で更新信号updateの供給を制御すればよい。即ち、出力out1, out2のいずれか一方が“1”であれば、EXORゲート101の出力“1”により、NANDゲート102を活性とし、それ以外はNANDゲート102を不活性とする。アップダウン信号updownには、2ビット出力のうち上位ビットを用いればよい。これにより、出力out1, out2が“00”(同数)の場合は、レジスタ91を更新せず、“01”又は“10”の場合にレジスタ91を更新することができる。

【0047】なお参照電位の初期値の設定は、評価時にテストした結果をヒューズ等の不揮発性記憶素子に記憶して、調整時に図9のレジスタ91に書き込まれるようにしてもよい。また参照電位調整の手続を、デバイスの初期化の際に十分な回数(具体的には例えば、[VDWLH発生回路の分解能]×[出力レンジ]以上)繰り返すことにより、参照電位を初期化することができる。この初期化時の調整によりプロセス変動、経年変化等の静的な要因による参照電位のずれを補正することができる。

【0048】初期化後の参照電位の調整は例えば、リフレッシュ時に同期して行うものとする。或いはリフレッシュサイクルとは無関係に、独自のタイマを持ち、定期的に参照電位調整を行うようにすることもできる。これにより、温度や電圧の変化といった動的な要因による参照電位の最適値からのずれを補正することができる。

【0049】以上のようにこの実施の形態によれば、VBLLHプリチャージ方式を採用し、容量結合型ダミーセルを用いたDRAMにおいて、補助セルアレイを用意して、その補助セルアレイのメモリセルに1/2VBLLHを書き込み、この中間電位をビット線に読み出したときに得られる電位を参照電位とするように、ダミーワード線駆動回路に供給される駆動信号レベルをしている。これにより、結合容量型のダミーセルを用いた発生させる参照電位を、従来型のダミーセルで発生させる参照電位と同じにすることができる。この場合、補助セルアレイに複数対のビット線を用意して、各ビット線対のセンスアンプ回路のセンス結果について多数決をとることにより、最適の参照電位調整が可能になる。またこの実施の形態の場合、補助セルアレイ側で1/2VBLLHを得るために必要なイコライズ回路は、補助セルアレイのビット線対に直接接続せず、選択ゲートを介して接続している。このため、データセンス時のビット線容量は通常のメモリセルアレイと異なることがなく、高速センスが可能である。

【0050】[実施の形態2]図11は、実施の形態2によるDRAMの構成を示している。先の実施の形態で

は、通常のメモリセルアレイ1とは独立の、参照電位調整のための補助セルアレイ2を設けたのに対し、この実施の形態では専用の補助セルアレイは用いない。但し、メモリセルアレイ1の中に、通常のロウアドレス分とは別に、増設されたロウとして、図の場合2本の予備ワード線SWL0, SWL1が設けられている。これらの予備ワード線SWL0, SWL1に沿うメモリセルMCの部分が、参照電位調整のための1/2VBLLHを生成するために利用される、本来のメモリセルアレイ1とビット線対を共有して増設された予備セルアレイ1aを構成している。予備ワード線は原理上1本でもよいが、ここではビット線の容量バランスを考慮して2本としている。

【0051】この実施の形態の場合、メモリセルアレイ1において、通常のアクセスとは異なる調整サイクルの書き込み、及び読み出しを行って、参照電位調整を行う。その具体的な調整手法は、先の実施の形態と同様である。即ち、予備ワード線SWL0又はSWL1により選択されたメモリセルMCに、ビット線イコライズにより得られた1/2VBLLHを書き込む。即ち、この実施の形態の場合も、図3に示したと同様のビット線イコライズ回路22を有するものとする。そして、図5で説明したと同様に、1/2VBLLHの書き込みデータをデータ線対BL, bBLの一方にVrefとして読み出し、他方にはダミーワード線DWL0又はDWL1の駆動による参照電位Vrefdを発生させる。これらと比較することにより、ダミーワード線のプリチャージ電位を調整する。複数ビット線対について、多数決回路11の判定を利用することも先の実施の形態と同様である。

【0052】この実施の形態において、カラムアドレスを順次切り換えながら、カラム選択信号CSLをクロッキングして、複数カラムからセンス結果を順次取り出すようにすることができる。この場合、多数決回路11には、前段に図12に示したようなシフトレジスタ121を設ければよい。即ちカラム選択信号CSLに同期したクロック信号CLKによりセンス結果をシフトレジスタ121にシリアルに取り込む。そしてその取り込まれたデータをパラレルに多数決回路11の入力に入れる。多数決回路11の出力によりVDWLH発生回路13が制御されることは先の実施の形態と同様である。

【0053】図12の方法は、判定に使用するビット数が比較的少ない場合に有効であるが、ビット数が多い場合には、多数決回路11を図13のように構成すればよい。この多数決回路11内には、多数決に使用する入力数をカウントできるだけのレジスタ131を持つ。多数決判定の前に、初期化信号initとクロックCLKを立ち上げることにより、セクタ132によって選択された初期値をレジスタ131に書き込む。

【0054】このレジスタ131の初期値は、判定に使用する入力数の半分に設定される。センス結果の確定の

後、カラム選択信号CSLに同期してセンス結果のデータDataを順次読み出し、これをアップダウンカウンタ133、134のカウンタアップ信号、カウンタダウン信号とする。即ち読み出しデータDataに応じて、アップカウンタ133、ダウンカウンタ134の出力をセレクト135により選択してレジスタ131を順次更新する。そして、最終的に更新されたレジスタ131の値と初期値とを比較回路136で比較する。これにより比較回路136からは、レジスタ131の値が初期値より大きければ“1”、小さければ“0”なる多数決判定結果が得られる。この判定結果により、VDWLH発生回路13を制御することは、先の実施の形態と同様である。

【0055】この実施の形態によっても、先の実施の形態と同様の効果が得られる。また先の実施の形態と異なり、参照電位調整のための専用の補助セルアレイを必要としないから、チップの占有面積は小さいものとなる。但しこの実施の形態の場合、メモリセルアレイ1内にビット線を共有して参照電位調整用の予備セルアレイを含むため、任意のタイミングで参照電位調整と言うことはできず、例えば初期化後の参照電位調整はリフレッシュにあわせて行うことになる。

【0056】〔実施の形態3〕図14は、先の各実施の形態に用いられる図2の回路構成を変形したものである。即ちこの実施の形態では、センスアンプ回路7のセンスノードSA、bSAとビット線BL、bBLの間に、分離信号ISOにより駆動される一組のスイッチ素子として分離ゲートNMOSTランジスタQN10、QN11を介在させている。またダミーセルDCは、この分離ゲートランジスタQN10、QN11から見てビ

ット線側ではなく、センスアンプ回路7側に配置されている。

【0057】図15は、この実施の形態でのデータセンス時の動作波形である。時刻t0までのプリチャージ期間に、ビット線対BL、bBLはVBLHにプリチャージされ、ダミーワード線DWLはVDWLHにプリチャージされる。またプリチャージ期間、分離信号ISOは“H”であり、ビット線対BL、bBLはセンスアンプ回路7のセンスノードSA、bSAに接続されている。プリチャージが解除された後、時刻t1で選択ワード線例えば、WL1が“H”になる。これにより、ワード線WL1で選択されたメモリセルMCのデータがビット線BLに読み出されて、データ“1”、“0”に応じてビット線BLの電位変化が生じる。ダミーワード線DWLはこの時点ではまだプリチャージ解除されない。

【0058】その後、時刻t2で分離信号ISOを“L”として、センスアンプ回路7のセンスノードとビット線BL、bBLを分離した後、時刻t3でダミーワード線DWL1のプリチャージを解除する。これにより、ビット線BL、bBLがセンスノードSA、bSA

と分離された状態で、いまの場合センスノードbSAについてダミーセルDCのカップリングにより電位引き下げが行われ、参照電位が得られる。そしてその後時刻t4でセンスアンプ回路7を活性化する。これにより、ビット線対BL、bBLをセンスアンプ回路7のセンスノードSA、bSAから切り離した状態で、読み出された“1”、“0”データが増幅される。“1”データの場合、SA=VBLH、bSA=Vssとなり、“0”データの場合は破線で示すように、SA=VSS、bSA=VBLHとなる。その後、時刻t5で再度、分離信号ISOを“H”とすることにより、センスされたデータがビット線BL、bBLに転送されてメモリセルMCにリストアされる。

【0059】この実施の形態によると、ダミーセルDCにより容量カップリングにより電位引き下げが行われるのは、ビット線ではなく、センスアンプ回路7のセンスノードのみである。センスノードの容量はビット線容量に比べて十分に小さく、ビット線容量を切り離した状態で読み出しデータの増幅が行われるので、高速センスが可能になる。また、ダミーセルが容量結合される相手の容量が小さいことから、ダミーセルの容量、従って面積も小さくすることができる。

【0060】〔実施の形態4〕図16は、図14の回路構成を僅かに変形した実施の形態である。この実施の形態では、分離ゲートNMOSTランジスタQN10、QN11をそれぞれ別の分離信号線ISO1、ISO2により制御できるようにしている。この様な構成として、先の実施の形態と同様にビット線BL、bBLをセンスノードSA、bSAから切り離した状態で、ダミーセルDCのカップリングにより参照ビット線に参照電位を与え、データセンスを行うことができる。データリストア時には、分離ゲートランジスタQN10、QN11は、メモリセルMCが接続されているビット線側のみオンとし、参照ビット線側はオフに保つ。この様な制御を行うことにより、参照ビット線側の無駄な充放電をなくし、低消費電力化を図ることができる。

【0061】

【発明の効果】以上述べたようにこの発明によれば、メモリセルに1/2VBLHを書き込むことにより作った基準となる参照電位に基づいて、結合容量型ダミーセルで発生させる参照電位を最適設定することができ、従来のように参照電位発生に必要であったアクセス時間のペナルティをなくすことができる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるDRAMの構成を示す図である。

【図2】同実施の形態のメモリセルアレイの具体構成を示す図である。

【図3】同実施の形態の補助セルアレイの具体構成を示す図である。

【図 4】同実施の形態のデータセンスの動作波形を示す図である。

【図 5】同実施の形態の参照電位調整の動作波形を示す図である。

【図 6】同実施の形態における多数決回路の構成例を示す図である。

【図 7】同実施の形態における多数決回路の他の構成例を示す図である。

【図 8】同実施の形態における多数決回路の他の構成例を示す図である。

【図 9】同実施の形態における VDWLH 発生回路の構成を示す図である。

【図 10】同 VDWLH 発生回路の更新クロック入力部の変形例を示す図である。

【図 11】この発明の他の実施の形態による DRAM の構成を示す図である。

【図 12】同実施の形態における多数決回路の構成例を

示す図である。

【図 13】同実施の形態における多数決回路の他の構成例を示す図である。

【図 14】この発明の他の実施の形態による DRAM の構成を示す図である。

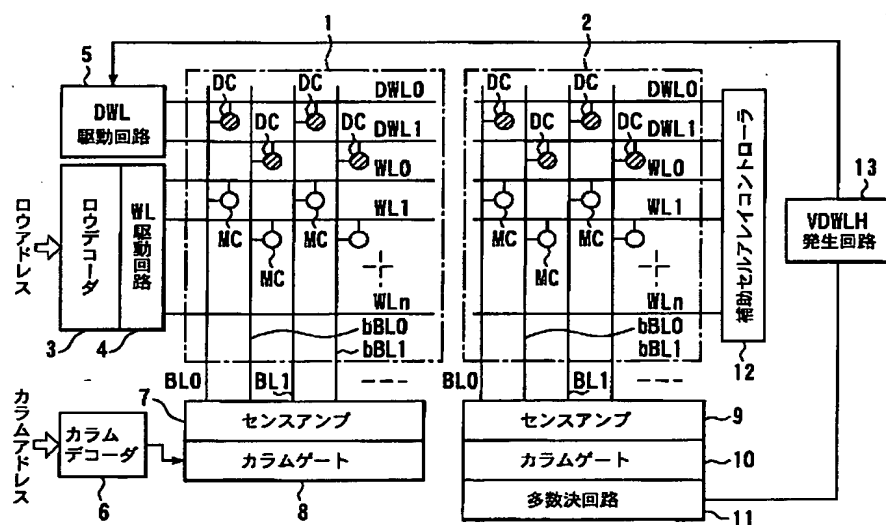
【図 15】同実施の形態のデータセンスの動作波形を示す図である。

【図 16】この発明の他の実施の形態による DRAM の構成を示す図である。

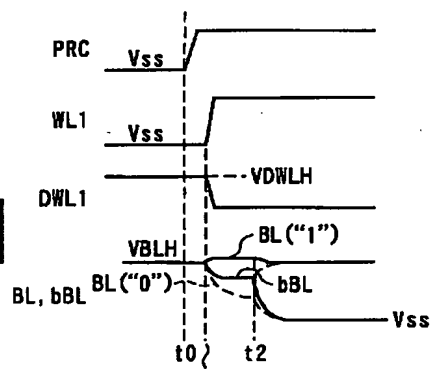
10 【符号の説明】

1…メモリセルアレイ、2…補助セルアレイ、3…ロウデコーダ、4…ワード線駆動回路、5…ダミーワード線駆動回路、6…カラムデコーダ、7…センスアンプ回路、8…カラムゲート、9…センスアンプ回路、10…カラムゲート、11…多数決回路、12…補助セルアレイコントローラ、13…ダミーワード線高レベル電位発生回路。

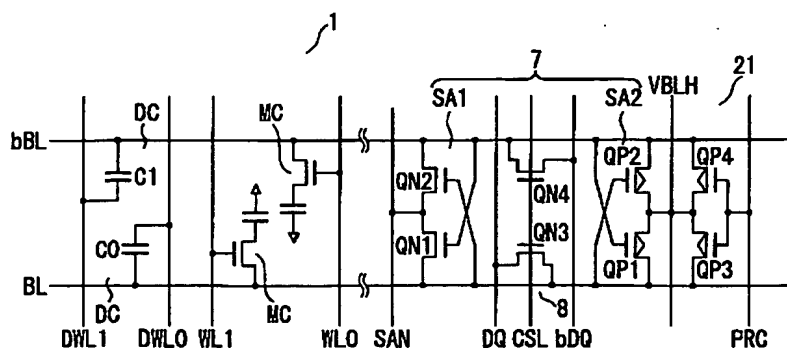
【図 1】



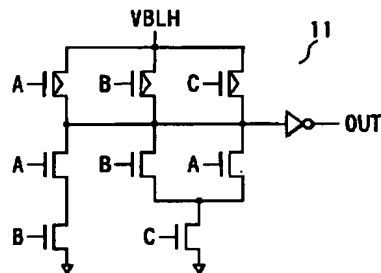
【図 4】



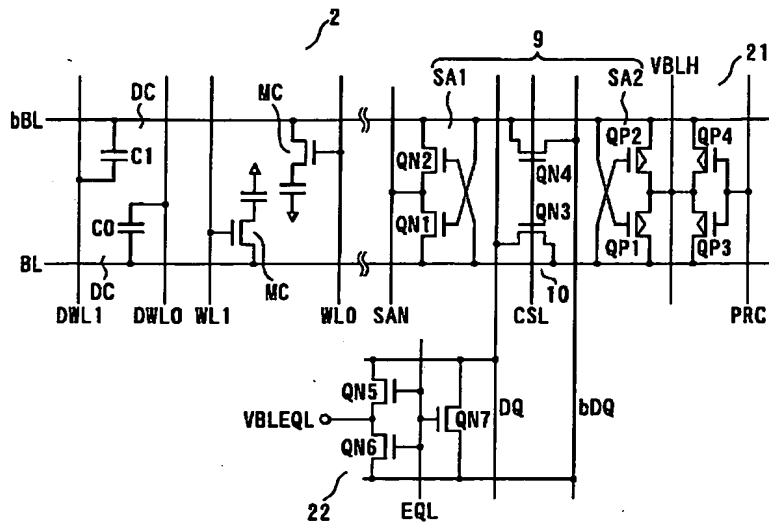
【図 2】



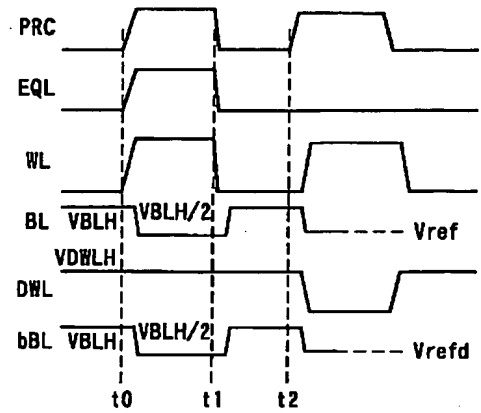
【図 6】



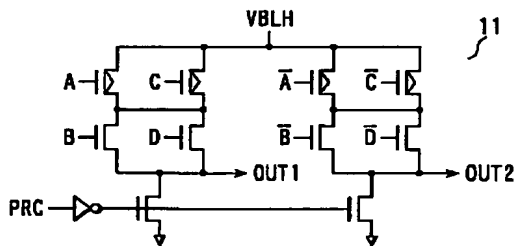
【 3 】



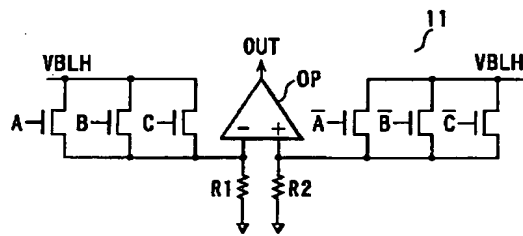
【例 5】



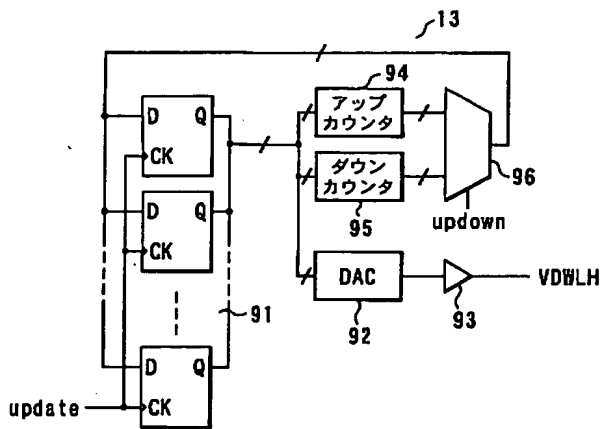
【图 7】



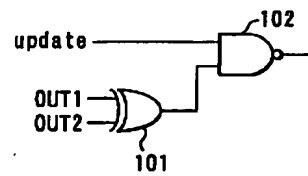
【图'8】



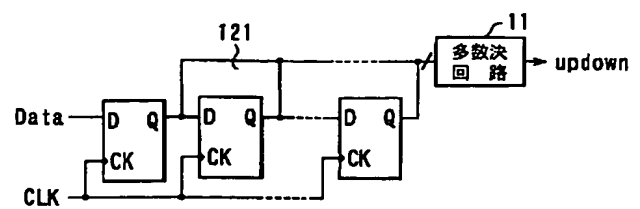
【图 9】



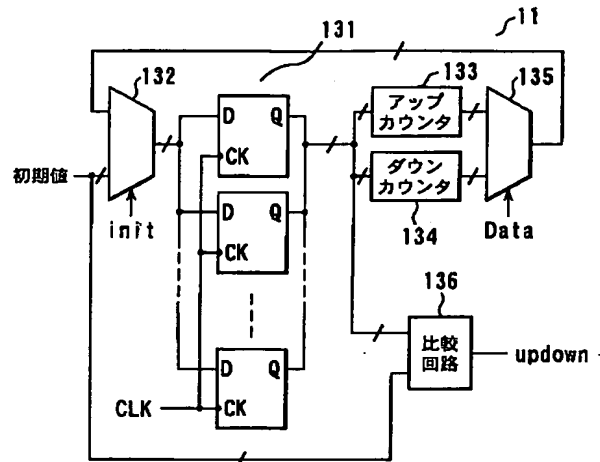
【図 10】




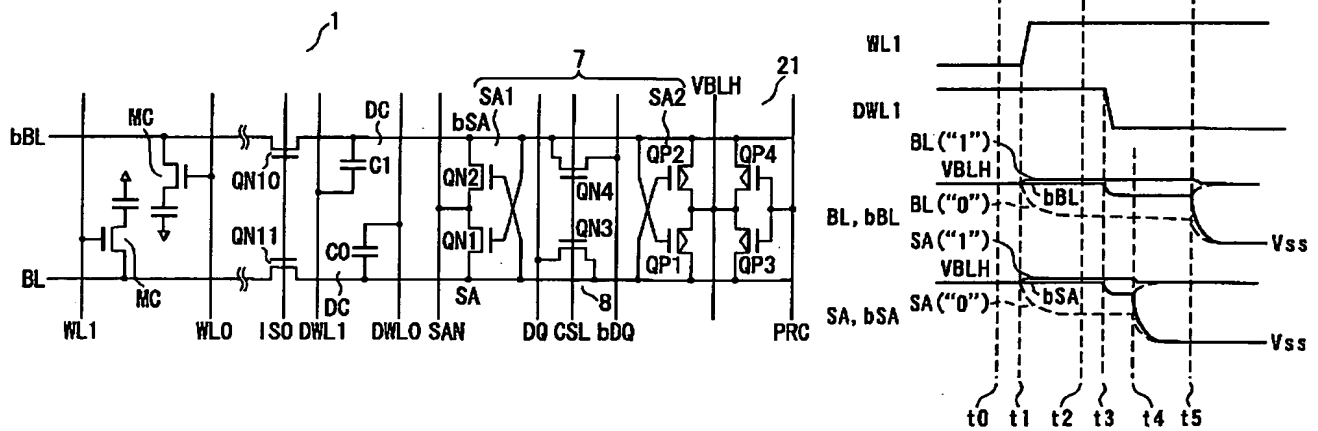
【图 12】



【例 13】



【 15】



【图 16】

